

T S1/5/1

1/5/1

DIALOG(R) File 351:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

010647773 \*\*Image available\*\*

WPI Acc No: 1996-144727/199615

XRPX Acc No: N96-121495

Protection circuit for semiconductor integrated circuit - has two diodes in-series between VDD and VSS, resistor and capacitor connected through junction of diode for connecting input signal to internal circuit, prevents damage due to unusual input signal Noabstract

Patent Assignee: SUMITOMO ELECTRIC IND CO (SUME )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8032025	A	19960202	JP 94159801	A	19940712	199615 B

Priority Applications (No Type Date): JP 94159801 A 19940712

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 8032025	A	6	H01L-027/04	

Title Terms: PROTECT; CIRCUIT; SEMICONDUCTOR; INTEGRATE; CIRCUIT; TWO; DIODE; SERIES; RESISTOR; CAPACITOR; CONNECT; THROUGH; JUNCTION; DIODE; CONNECT; INPUT; SIGNAL; INTERNAL; CIRCUIT; PREVENT; DAMAGE; UNUSUAL; INPUT; SIGNAL; NOABSTRACT

Derwent Class: U11; U13

International Patent Class (Main): H01L-027/04

International Patent Class (Additional): H01L-021/822; H01L-027/06

File Segment: EPI

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-32025

(43) 公開日 平成8年(1996)2月2日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04

21/822

27/06

H 0 1 L 27/ 04

H

27/ 06

3 1 1 B

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21) 出願番号

特願平6-159801

(22) 出願日

平成6年(1994)7月12日

(71) 出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 原 弘

神奈川県横浜市栄区田谷町1番地 住友電

気工業株式会社横浜製作所内

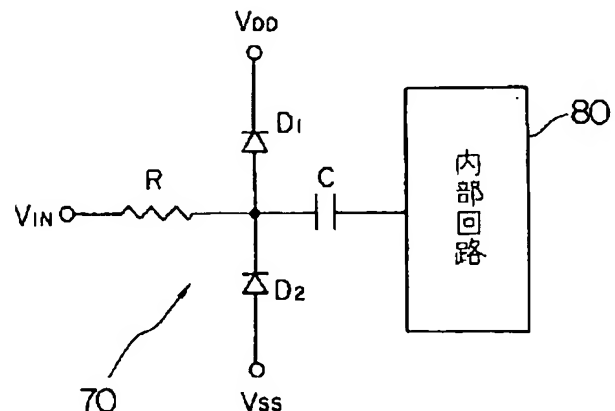
(74) 代理人 弁理士 長谷川 芳樹 (外3名)

(54) 【発明の名称】 保護回路

(57) 【要約】

【目的】 内部回路に対して動作を高速化するとともに誤動作及び損傷を防止する保護回路を提供する。

【構成】 保護回路70は、主に抵抗素子R、第1のダイオード素子D<sub>1</sub>、第2のダイオード素子D<sub>2</sub>及び容量素子Cから構成されており、入力端子と内部回路80との間に接続されている。ここで、容量素子Cが抵抗素子R、第1及び第2ダイオードD<sub>1</sub>、D<sub>2</sub>に一端を接続するとともに内部回路80に他端を接続して配置されている。これにより、抵抗素子Rの抵抗値と第1及び第2のダイオード素子D<sub>1</sub>、D<sub>2</sub>の容量値とが容量素子の容量値に対応して低減して設定されるので、これらの抵抗値及び容量値に基づいた時定数は低減する。なお、プラス電源電圧V<sub>DD</sub>及びマイナス電源電圧V<sub>SS</sub>は、それぞれ相対的に高電位及び低電位に設定されている。そのため、入力端子に印加される電圧信号V<sub>IN</sub>が高周波数なパルスであっても、所定範囲の基準電圧に含まれる場合に抵抗素子R及び容量素子Cを介して内部回路80に供給され、そうでない場合には解消される。



## 【特許請求の範囲】

【請求項1】 所定の入力端子に接続して配置された抵抗素子と、

この抵抗素子と所定の内部回路との間に接続して配置された容量素子と、

所定の電源電圧を有する第1の電源ラインにカソードを接続するとともに、前記抵抗素子と前記容量素子との間にアノードを接続して配置された第1のダイオード素子と、

前記第1の電源ラインの電源電圧よりも相対的に低い電源電圧を有する第2の電源ラインにアノードを接続するとともに、前記抵抗素子と前記容量素子との間にカソードを接続して配置された第2のダイオード素子とを備えることを特徴とする保護回路。

【請求項2】 前記抵抗素子、前記容量素子、前記第1のダイオード素子及び前記第2のダイオード素子は、前記内部回路とともに半絶縁性基板上にモノリシックに形成されていることを特徴とする請求項1記載の保護回路。

【請求項3】 前記半絶縁性基板はGaAsから形成されており、前記抵抗素子は前記半絶縁性基板中に所定のドーパントを注入して形成されており、前記容量素子は前記半絶縁性基板上に第1の電極層、絶縁層及び第2の電極層を順次積層して形成されており、前記第1及び第2のダイオード素子は前記半絶縁性基板上に配置されたショットキー接合型電界効果トランジスタのゲート電極層を前記アノードとするとともに短絡したソース電極層及びドレイン電極層を前記カソードとして形成されていることを特徴とする請求項2記載の保護回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体集積回路等において、異常な入力信号に対する内部回路の誤動作や損傷などを防止する保護回路に関する。

## 【0002】

【従来の技術】通常の半導体集積回路には、内部回路の正常動作を保持するために、保護回路が入力段として設置されている。この保護回路は、異常な電圧信号を内部回路に出力しないことにより、内部回路の誤動作や損傷などを防止するものである。

【0003】図4は、内部回路の入力段として接続された従来の保護回路を示す回路図である。この保護回路71は、抵抗素子R、第1のダイオード素子D<sub>1</sub>及び第2のダイオード素子D<sub>2</sub>から構成されている。抵抗素子Rは、入力端子と内部回路80との間に接続して配置されている。第1のダイオード素子D<sub>1</sub>は、第1の電源ラインにカソードを接続するとともに抵抗素子Rと内部回路80との間にアノードを接続して配置されている。第2のダイオード素子D<sub>2</sub>は、第2の電源ラインにアノードを接続するとともに抵抗素子Rと内部回路80との間に

カソードを接続して配置されている。

【0004】ここで、第1の電源ラインの電源電圧V<sub>DD</sub>及び第2の電源ラインの電源電圧V<sub>SS</sub>は、それぞれ相対的に高電位及び低電位に設定されている。

【0005】このような構成によれば、所定範囲の基準電圧よりも大きい電圧信号V<sub>IN</sub>が入力端子に印加された場合、電流が抵抗素子R及び第1のダイオード素子D<sub>1</sub>を介して第1の電源ラインに流出される。一方、所定範囲の基準電圧よりも小さい電圧信号V<sub>IN</sub>が入力端子に印加された場合、電流が第2の電源ラインから第2のダイオード素子D<sub>2</sub>及び抵抗素子Rを介して供給される。

【0006】なお、このような保護回路に関する先行技術としては、公報「特開平3-179773号」などに詳細に記載されている。

## 【0007】

【発明が解決しようとする課題】しかしながら、上記従来の保護回路では、抵抗素子の抵抗値とダイオード素子の容量値との組合せに基づき、いわゆる積分回路が等価的に構成されている。そのため、内部回路における動作の高速化が保護回路に発生する過渡現象によって実現されないという問題がある。また、保護回路における抵抗値及び容量値に基づいた時定数に対応する放電時間に比較し、入力端子に印加される電圧信号が高速なパルスである場合、内部回路の破壊や誤動作を防ぐことができないという問題がある。

【0008】そこで、本発明は、上記の問題点を解決し、内部回路に対して動作を高速化するとともに誤動作及び損傷を防止する保護回路を提供することを目的とする。

## 【0009】

【課題を解決するための手段】本発明の保護回路は、上記の目的を達成するために、所定の入力端子に接続して配置された抵抗素子と、この抵抗素子と所定の内部回路との間に接続して配置された容量素子と、所定の電源電圧を有する第1の電源ラインにカソードを接続するとともに、抵抗素子と容量素子との間にアノードを接続して配置された第1のダイオード素子と、第1の電源ラインの電源電圧よりも相対的に低い電源電圧を有する第2の電源ラインにアノードを接続するとともに、抵抗素子と容量素子との間にカソードを接続して配置された第2のダイオード素子とを備えることを特徴とする。

【0010】ここで、上記の抵抗素子、容量素子、第1のダイオード素子及び第2のダイオード素子は、内部回路とともに半絶縁性基板上にモノリシックに形成されていることを特徴としてもよい。

【0011】また、半絶縁性基板はGaAsから形成されており、抵抗素子は半絶縁性基板中に所定のドーパントを注入して形成されており、容量素子は半絶縁性基板上に第1の電極層、絶縁層及び第2の電極層を順次積層して形成されており、第1及び第2のダイオード素子は

半絶縁性基板上に配置されたショットキー接合型電界効果トランジスタのゲート電極層をアノードとするとともに短絡したソース電極層及びドレイン電極層をカソードとして形成されていることが好適である。

#### 【0012】

【作用】本発明の保護回路によれば、所定範囲の基準電圧よりも大きい電圧信号が入力端子に印加された場合、電流が抵抗素子及び第1のダイオード素子を介して第1の電源ラインに流出される。一方、所定範囲の基準電圧よりも小さい電圧信号が入力端子に印加された場合、電流が第2の電源ラインから第2のダイオード素子及び抵抗素子を介して供給される。

【0013】ここで、容量素子が配置されていない場合と比較すると、抵抗素子の抵抗値と第1及び第2のダイオード素子の容量値とが容量素子の容量値に対応して低減して設定される。これにより、これらの抵抗値及び容量値に基づいた時定数は低減する。そのため、入力端子に印加される電圧信号が高周波数なパルスであっても、所定範囲の基準電圧に含まれる場合に抵抗素子及び容量素子を介して内部回路に供給され、そうでない場合に上述した通り解消される。

#### 【0014】

【実施例】以下、本発明に係る実施例の構成及び作用について、図1ないし図3を参照して説明する。なお、図面の説明においては同一要素には同一符号を付し、重複する説明を省略する。また、図面の寸法比率は、説明のものとは必ずしも一致していない。

【0015】図1は、内部回路の入力段として接続された本発明の保護回路に係る一実施例を示す回路図である。図2は、図1に示す保護回路の構成を示す斜視図である。この半導体集積回路では、半絶縁性基板10上に保護回路70及び内部回路80がモノリシックに形成されており、相互に電気的に接続して配置されている。この半絶縁性基板10は、GaAsから形成されている。保護回路70は、主に抵抗素子(R)20、第1のダイオード素子(D<sub>1</sub>)30、第2のダイオード素子(D<sub>2</sub>)40及び容量素子(C)50から構成されており、入力端子と内部回路80との間に接続されている。また、内部回路80は、複数の論理ゲートやフリップフロップなどから構成されており、所定の機能を実現する演算回路、メモリ回路及び制御回路等である。

【0016】抵抗素子(R)20は、抵抗層21及び電極層22、23から構成されており、入力端子と容量素子(C)50との間に配線層60、61を介して接続されている。抵抗層21は、通常のイオン注入法等に用いて半絶縁性基板10の所定領域に所定のドーパントを注入することにより、サイズ及びドーパント濃度に基づいて所定の抵抗値を設定して形成されている。電極層22は、抵抗層21の一端上に形成され、配線層61を介して入力端子に接続されている。電極層23は、抵抗層2

1の他端上に形成され、配線層60を介して第1のダイオード素子(D<sub>1</sub>)30、第2のダイオード素子(D<sub>2</sub>)40及び容量素子(C)50に接続されている。

【0017】第1のダイオード素子(D<sub>1</sub>)30は、GaAs MESFET (Metal Semiconductor Field Effect Transistor) で構成されており、第1の電源ラインにカソードを接続されるとともに、抵抗素子(R)20と容量素子(C)50との間にアノードを接続されている。このショットキー接合型電界効果トランジスタは、活性層31、コンタクト層32、33、ゲート電極層34、ソース電極層35及びドレイン電極層36から構成されている。活性層31は、半絶縁性基板10の所定領域を掘り込み、n型ドーパントをドーピングして形成されている。コンタクト層32、33は、活性層31の両端にそれぞれ接触して配置され、活性層31よりも高濃度のn<sup>+</sup>型ドーパントをドーピングして形成されている。ゲート電極層34は、ショットキー接触性を有して活性層31上に形成され、アノードとして配線層60を介して抵抗素子(R)20、第2のダイオード素子(D<sub>2</sub>)40及び容量素子(C)50に接続されている。ソース電極層35及びドレイン電極層36は、それぞれオーミック接触性を有してコンタクト層32、33上に形成され、カソードとして配線層62を介して短絡して第1の電源ラインに接続されている。

【0018】第2のダイオード素子(D<sub>2</sub>)40は、第1のダイオード素子(D<sub>1</sub>)30と同様にしてGaAs MESFETで構成されており、第2の電源ラインにアノードを接続されるとともに、抵抗素子(R)20と容量素子(C)50との間にカソードを接続されている。このショットキー接合型電界効果トランジスタは、活性層41、コンタクト層42、43、ゲート電極層44、ソース電極層45及びドレイン電極層46から構成されている。活性層41は、半絶縁性基板10の所定領域を掘り込み、n型ドーパントをドーピングして形成されている。コンタクト層42、43は、活性層41の両端にそれぞれ接触して配置され、活性層41よりも高濃度のn<sup>+</sup>型ドーパントをドーピングして形成されている。ゲート電極層44は、ショットキー接触性を有して活性層41上に形成され、カソードとして配線層60を介して抵抗素子(R)20、第1のダイオード素子(D<sub>1</sub>)30及び容量素子(C)50に接続されている。ソース電極層45及びドレイン電極層46は、それぞれオーミック接触性を有してコンタクト層42、43上に形成され、アノードとして配線層63を介して短絡して第2の電源ラインに接続されている。

【0019】容量素子(C)50は、第1の電極層51、絶縁層52及び第2の絶縁層53からMIM (Metal Insulator Metal) 構造に形成されており、抵抗素子(R)20と内部回路80との間に接続されている。第

1の電極層51は、半導体絶縁性基板10の所定領域上に形成され、配線層60を介して抵抗素子(R)20、第1のダイオード素子(D<sub>1</sub>)30及び第2のダイオード素子(D<sub>2</sub>)40に接続されている。絶縁層52は、第1の電極層51上に部分的に形成され、第1及び第2の電極層51、53の間の絶縁性を保持している。第2の電極層53は、絶縁層52上に形成され、配線層64を介して内部回路80に接続されている。

【0020】ここで、第1の電源ラインはプラス電源電圧V<sub>DD</sub>を印加されており、第2の電源ラインはマイナス電源電圧V<sub>SS</sub>を印加されている。これらプラス電源電圧V<sub>DD</sub>及びマイナス電源電圧V<sub>SS</sub>は、それぞれ相対的に高電位及び低電位に設定されている。また、入力端子は電圧信号V<sub>IN</sub>を印加されることになる。

【0021】次に、上記実施例の作用について説明する。

【0022】所定範囲の基準電圧よりも大きい電圧信号V<sub>IN</sub>が入力端子に印加された場合、電流が抵抗素子R及び第1のダイオード素子D<sub>1</sub>を介して第1の電源ラインに流出される。一方、所定範囲の基準電圧よりも小さい電圧信号が入力端子に印加された場合、電流が第2の電源ラインから第2のダイオード素子D<sub>2</sub>及び抵抗素子Rを介して供給される。

【0023】ここで、容量素子Cが配置されていない場合と比較すると、抵抗素子Rの抵抗値と第1及び第2のダイオード素子D<sub>1</sub>、D<sub>2</sub>の容量値とが容量素子Cの容量値に対応して低減して設定される。これにより、これらの抵抗値及び容量値に基づいた時定数は低減する。そのため、入力端子に印加される電圧信号V<sub>IN</sub>が高周波数なパルスであっても、所定範囲の基準電圧に含まれる場合に抵抗素子R及び容量素子Cを介して内部回路に供給され、そうでない場合に上述した通り解消される。

【0024】次に、上記実施例の実験について説明する。

【0025】この実験では、実施例及び従来例の保護回路における出力信号の周波数特性を比較して確認した。実施例の保護回路としては、図1に示す回路構成を有するものを内部回路に対する高入力インピーダンス回路として適用した。一方、従来例の保護回路としては、図4に示す回路構成を有するものを適用した。なお、実施例及び従来例の保護回路では、共通する構成要素をほぼ同様に形成した。

【0026】特に、実施例の保護回路に対する諸条件は、次の通りであった。抵抗素子Rは、抵抗値約300Ωを有した。第1のダイオード素子D<sub>1</sub>及び第2のダイオード素子D<sub>2</sub>を構成するGaAsFETは、ゲート幅約30μmを有してE(Enhancement)モードで動作した。容量素子は、MIM容量約1pFを有した。

【0027】一方、従来例の保護回路に対する諸条件は、次の通りであった。抵抗素子Rは、抵抗値約300

Ωを有した。第1のダイオード素子D<sub>1</sub>及び第2のダイオード素子D<sub>2</sub>を構成するGaAsFETは、ゲート幅約60μmを有してE(Enhancement)モードで動作した。

【0028】図3は、実施例の保護回路と従来例の保護回路とにおける出力信号の周波数特性を示すグラフである。ここで、横軸は各保護回路に入力した電圧信号の周波数を示し、縦軸は各保護回路から出力された電圧信号の入力時に対する減衰量を示す。この結果によると、実施例の保護回路では、従来例の保護回路に対し、入力信号の高周波側(数GHz程度)に対応する出力信号の帯域が約1GHz程度拡大されている。また、実施例の保護回路では、従来例の保護回路に対し、入力信号の低周波側(数百MHz程度)に対応する出力信号の帯域がカットオフ周波数約10MHzを有してバンドパスフィルタのように大きく縮小されている。したがって、入力端子に印加される電圧信号が、高周波数なパルスであっても、内部回路に供給されることがわかる。

【0029】ただし、入力信号の低周波側に対応する出力信号のカットオフ周波数として約10MHzという値は、人体から半導体集積回路に放電される静電気を考慮して設定されたものである。通常、人体が帯電して放電した時の等価回路を想定した場合、放電電流は初期値として約20A程度に達し、その時定数は約100ns以上になる。そのため、立上がりの速く短い時間幅を有するパルス状の大電流が流れるので、パルス電流への対策が半導体集積回路に要求されるのである。

【0030】なお、このような静電気による放電電流に関する知見については、書籍「総合技術出版、ノイズ対策最新技術、第12章第3節、第343頁」などに詳細に記載されている。

【0031】本発明に係る保護回路は、上記実施例に限られるものではなく、種々の変形を行うことが可能である。

【0032】例えば、上記実施例では、抵抗素子の抵抗層は、半絶縁性基板の内部にイオン注入を行って形成されている。しかしながら、半絶縁性基板上にエピタキシャル成長を行うことにより、抵抗素子の抵抗層を形成しても、上記実施例と同様な作用効果が得られる。

【0033】また、上記実施例では、第1及び第2のダイオード素子は、電界効果トランジスタのソース電極及びドレイン電極を短絡して形成されている。しかしながら、バイポーラトランジスタのベース電極層及びコレクタ電極層を短絡することにより、第1または第2のダイオード素子を形成しても、上記実施例と同様な作用効果が得られる。

【0034】

【発明の効果】以上、詳細に説明したように、本発明の保護回路においては、容量素子が抵抗素子、第1及び第2ダイオードに一端を接続するとともに内部回路に他端

を接続して配置されている。これにより、抵抗素子の抵抗値と第1及び第2のダイオード素子の容量値とが容量素子の容量値に対応して低減して設定されるので、これらの抵抗値及び容量値に基づいた時定数は低減する。そのため、入力端子に印加される電圧信号が高周波数なパルスであっても、所定範囲の基準電圧に含まれる場合に抵抗素子及び容量素子を介して内部回路に供給され、そうでないサージ電圧である場合には解消されて内部回路に供給されない。

【0035】したがって、本発明によれば、内部回路に対して動作を高速化するとともに誤動作及び損傷を防止する保護回路を提供することができる。

【図面の簡単な説明】

【図1】内部回路の入力段として接続された本発明の保護回路に係る一実施例を示す回路図である。

【図2】図1に示す保護回路の構成を示す斜視図であ

る。

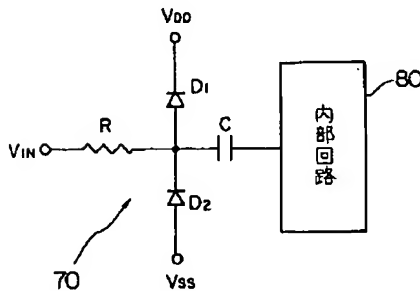
【図3】図1に示す保護回路と図4に示す保護回路とにおける出力信号の周波数特性を示すグラフである。

【図4】内部回路の入力段として接続された従来の保護回路を示す回路図である。

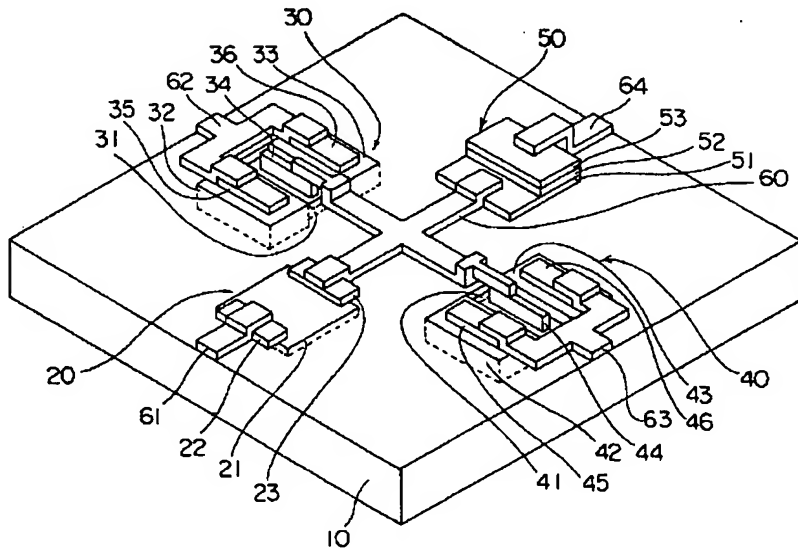
【符号の説明】

10…半導体基板、20…抵抗素子、21…抵抗層、22, 23…電極層、30…第1のダイオード素子、31…活性層、32, 33…コンタクト層、34…ゲート電極層、35…ソース電極層、36…ドレイン電極層、40…第2のダイオード素子、41…活性層、42, 43…コンタクト層、44…ゲート電極層、45…ソース電極層、46…ドレイン電極層、50…容量素子、51…第1の電極層、52…絶縁層、53…第2の電極層、60～64…配線層、70, 71…保護回路、80…内部回路。

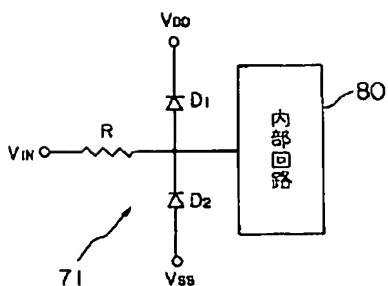
【図1】



【図2】



【図4】



【図3】

